

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-062836

(43)Date of publication of application : 10.03.2005

(51)Int.Cl.

G09G 3/30  
G09G 3/20  
H05B 33/12  
H05B 33/14

(21)Application number : 2004-204106

(71)Applicant : ROHM CO LTD

(22)Date of filing : 12.07.2004

(72)Inventor : ABE SHINICHI  
MAEDE ATSUSHI  
FUJIKAWA AKIO

(30)Priority

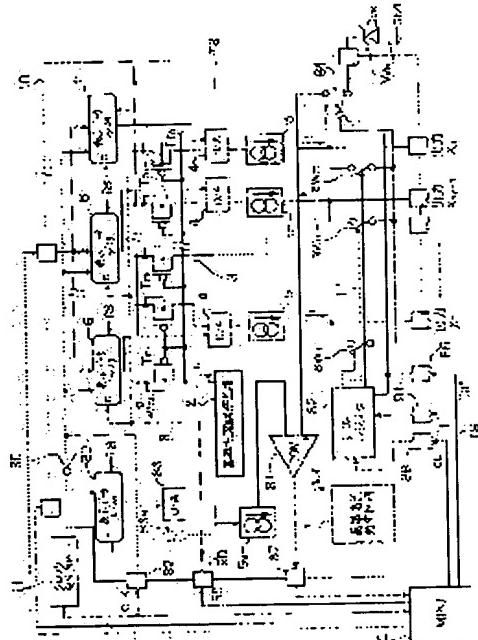
Priority number : 2003280860 Priority date : 28.07.2003 Priority country : JP

## (54) ORGANIC EL DRIVE CIRCUIT AND PROPRIETY TEST METHOD FOR DRIVE CURRENT OF THE DRIVE CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an organic EL drive circuit capable of efficiently testing propriety as to whether the respective drive current values outputted to respective terminal pins from output pins of a driver IC are appropriate or not or a propriety test method for the drive currents of the drive circuit.

**SOLUTION:** First analog currents are obtained through a plurality of switch circuits provided correspondingly to the output pins or the drive currents are obtained by passing the first analog currents through output stage current sources. The obtained current values are compared by a comparator provided within the organic EL drive circuit with the second analog current (reference current value) which is the reference corresponding thereto or a current value (comparative reference current value) obtained by passing the second analog current



through a current source corresponding to the output stage current source. A result of the comparison is outputted to the outside of the organic EL drive circuit. The drive currents are obtained sequentially in correspondence to the output pins by turning a large number of switch circuits ON one by one sequentially by a control circuit to continuously obtain the result of the comparison for the drive currents from the organic EL drive circuit.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-62836

(P2005-62836A)

(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int.C1.<sup>7</sup>

**G09G** 3/30  
**G09G** 3/20  
**H05B** 33/12  
**H05B** 33/14

F I

GO9G 3/30 H  
 GO9G 3/20 623F  
 GO9G 3/20 623H  
 GO9G 3/20 670Q  
 HO5B 33/12 Z

テーマコード(参考)

3K007  
5C080

審査請求 未請求 請求項の数 19 O L (全 14 頁) 最終頁に統く

(21) 出願番号 特願2004-204106(P2004-204106)  
 (22) 出願日 平成16年7月12日(2004.7.12)  
 (31) 優先権主張番号 特願2003-280860(P2003-280860)  
 (32) 優先日 平成15年7月28日(2003.7.28)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町21番地  
 (74) 代理人 100079555  
 弁理士 梶山 信是  
 (74) 代理人 100079957  
 弁理士 山本 富士男  
 (72) 発明者 阿部 真一  
 京都市右京区西院溝崎町21番地 ローム  
 株式会社内  
 (72) 発明者 前出 淳  
 京都市右京区西院溝崎町21番地 ローム  
 株式会社内

最終頁に統く

(54) 【発明の名称】有機EL駆動回路およびこの駆動回路の駆動電流の適否検査方法

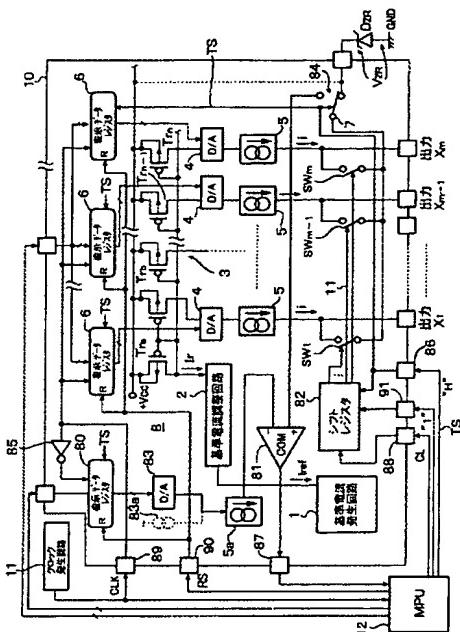
## (57) 【要約】

## 【課題】

ドライバICの出力ピンから各端子ピンに出力されるそれぞれの駆動電流値が適正か否かを効率的に検査することができる有機EL駆動回路あるいはこの駆動回路の駆動電流の適否検査方法を提供することにある。

## 【解決手段】

この発明は、出力ピン対応に設けられた多数のスイッチ回路を介して第1のアナログ電流あるいはこの第1のアナログ電流を出力段電流源を介して駆動電流を得て、得た電流の電流値を有機EL駆動回路の内部のコンパレータでそれに対応する基準となる第2のアナログ電流の電流値(比較基準電流値)あるいはこの第2のアナログ電流を出力段電流源に相当する電流源を介して得られる電流の電流値(比較基準電流値)と比較してその結果をこの有機EL駆動回路の外部に出力するものであり、多数のスイッチ回路の1つを順次制御回路によってONにすることで、出力ピン対応に順次駆動電流を得て、これらの駆動電流の電流値についての比較結果を有機EL駆動回路から連続的に得るものである。



**【特許請求の範囲】****【請求項1】**

有機E Lパネルを電流駆動するための駆動電流を前記有機E Lパネルの多数の端子ピンに対応するそれぞれの出力ピンに発生する有機E L駆動回路において、

前記出力ピン対応にそれぞれ設けられ表示データをD/A変換して第1のアナログ電流を生成する多数の第1のD/A変換回路と、

前記出力ピン対応にそれぞれ設けられそれぞれの前記第1のアナログ電流を直接あるいはこの第1のアナログ電流を前記出力ピン対応にそれぞれ設けられた出力段電流源を介した前記駆動電流としてそれぞれ受ける多数のスイッチ回路と、

前記第1のD/A変換回路のLSBに対してさらにこれより高い分解能の LSB を有し、前記表示データに対応するD/A変換データをD/A変換して比較基準となる第2のアナログ電流を発生する第2のD/A変換回路と、

前記スイッチ回路を介して得られる前記第1のアナログ電流の電流値あるいは前記駆動電流の電流値と、前記第2のアナログ電流の電流値あるいはこの第2のアナログ電流を前記出力段電流源と同様な電流源を介して得られる電流値とを比較するコンパレータと、

多数の前記スイッチ回路の1つを順次ONにする制御回路とを備え、

前記コンパレータの比較結果をこの有機E L駆動回路の外部に出力する有機E L駆動回路。

**【請求項2】**

前記D/A変換データは、前記表示データ、前記表示データの値と同じ値のデータおよびこれらのデータに下位ビットを加えたデータのいずれかであり、前記表示データに対応するデータが前記表示データあるいは前記表示データの値と同じ値のデータのときには、前記第2のアナログ電流は、前記第1のD/A変換回路のLSBに対応する変換電流値よりも小さい電流値分だけ前記第1のアナログ電流よりも大きいか小さいかのいずれかであり、前記比較結果は、HIGHレベルあるいはLOWレベルとして発生する請求項1記載の有機E L駆動回路。

**【請求項3】**

前記制御回路は、多数の前記スイッチ回路の1つを順次ONにする切換回路を有し、前記第2のアナログ電流は、各前記第1のD/A変換回路により変換される電流の電流値に対して前および後の電流値を探り、前記コンパレータは、前記第1のD/A変換回路により変換される電流の電流値に対して前記第2のアナログ電流の前記前および後の電流値をそれぞれ基準とする2回の比較をする請求項2記載の有機E L駆動回路。

**【請求項4】**

前記第2のアナログ電流の前記前の電流値は、前記第1のアナログ電流値より小さいものであり、前記第2のアナログ電流の前記後の電流値は、前記第1のアナログ電流値より大きいものである請求項3記載の有機E L駆動回路。

**【請求項5】**

前記多数のスイッチ回路は、有機E L素子の電荷をリセットするリセットスイッチあるいは黒レベルの書き込みのためのプリチャージスイッチであり、前記第2のD/A変換回路は、各前記第1のD/A変換回路より1ビット多い変換回路であって、これのLSBが“1”に設定され、このLSBより上の桁に前記表示データあるいは前記表示データの値と同じ値のデータの前記D/A変換データが設定される請求項4記載の有機E L駆動回路。

**【請求項6】**

各前記第1のD/A変換回路の変換と前記第2のD/A変換回路の変換は、クロックに同期して行われ、前記第2のD/A変換回路に与えられる前記D/A変換データは、前記1クロックの周期の途中において増加あるいは減少されることで前記2回の比較が行われる請求項5記載の有機E L駆動回路。

**【請求項7】**

前記第2のD/A変換回路に与えられる前記D/A変換データは、前記第1のアナログ

電流から前記1クロックの1／2の周期ずれたタイミングで前記第1のD／A変換回路のLSB分の電流値が増加あるいは減少される請求項6記載の有機EL駆動回路。

【請求項8】

前記切換回路は、シフトレジスタであり、このシフトレジスタの各段の出力がそれぞれ前記多数のスイッチ回路のそれぞれに送出され、前記1クロックの1／2の周期ずれたタイミングの生成は、前記クロックを反転したクロックに応じて行われる請求項7記載の有機EL駆動回路。

【請求項9】

前記第1および第2のD／A変換回路に対応してそれぞれレジスタが設けられ、前記表示データがそれぞれのレジスタに設定される請求項8記載の有機EL駆動回路。

【請求項10】

各前記レジスタの前記表示データの設定は、前記レジスタを“0”あるいはオールビット“1”にリセットすることにより行われ、前記レジスタの前記D／A変換データが“0”から最大値まで前記クロックに応じて順次インクリメントされあるいは前記クロックに応じて順次オールビット“1から“0”まで順次ディクリメントされる請求項9記載の有機EL駆動回路。

【請求項11】

前記第2のD／A変換回路は、前記第1のD／A変換回路のLSBに対応する分解能の第3のD／A変換回路と前記第1のD／A変換回路のLSBの分解能に対応する変換電流よりも小さな電流を発生する電流源とを有し、前記第1のD／A変換回路により変換される前記表示データと同じ値のデータの前記D／A変換データを前記第3のD／A変換回路により変換して得られた電流と前記電流源の電流とを加算して前記第2のアナログ電流を前記第2のD／A変換回路が発生する請求項1記載の有機EL駆動回路。

【請求項12】

有機ELパネルを電流駆動するための駆動電流を前記有機ELパネルの多数の端子ピンに対応するそれぞれの出力ピンに発生するIC化された有機EL駆動回路の前記駆動電流の適否検査方法において、

前記有機EL駆動回路は、

前記出力ピン対応にそれぞれ設けられ表示データをD／A変換して第1のアナログ電流を生成する多数の第1のD／A変換回路と、

前記出力ピン対応にそれぞれ設けられそれぞれの前記第1のアナログ電流を直接あるいはこの第1のアナログ電流を前記出力ピン対応にそれぞれ設けられた出力段電流源を介した前記駆動電流としてそれぞれ受ける多数のスイッチ回路と、

前記第1のD／A変換回路のLSBに対してさらにこれより高い分解能のLSBを有し、前記表示データに対応するD／A変換データをD／A変換して比較基準となる第2のアナログ電流を発生する第2のD／A変換回路と、

前記スイッチ回路を介して得られる前記第1のアナログ電流の電流値あるいは前記駆動電流の電流値と、前記第2のアナログ電流の電流値あるいはこの第2のアナログ電流を前記出力段電流源と同様な電流源を介して得られる電流値とを比較するコンパレータと、

多数の前記スイッチ回路の1つを順次ONにする制御回路とを備え、

前記コンパレータの比較結果を前記ICの外部に出力するものであり、前記コンパレータの比較結果を前記ICから得て、前記有機EL駆動回路がそれぞれの前記出力ピンに発生するそれぞれの前記駆動電流について適否を検査する有機EL駆動回路の駆動電流の適否検査方法。

【請求項13】

前記D／A変換データは、前記表示データ、前記表示データの値と同じ値のデータおよびこれらのデータに下位ビットをえたデータのいずれかであり、前記表示データに対応するデータが前記表示データあるいは前記表示データの値と同じ値のデータのときには、前記第2のアナログ電流は、前記第1のD／A変換回路のLSBに対応する変換電流値よりも小さい電流値分だけ前記第1のアナログ電流よりも大きいか小さいかのいずれかである

り、前記比較結果は、HIGHレベルあるいはLOWレベルとして発生する請求項12記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項14】

前記制御回路は、多数の前記スイッチ回路の1つを順次ONにする切換回路を有し、前記第2のアナログ電流は、各前記第1のD/A変換回路により変換される電流の電流値に対して前および後の電流値を探り、前記コンパレータは、前記第1のD/A変換回路により変換される電流の電流値に対して前記前および後の電流値をそれぞれ基準とする2回の比較をする請求項13記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項15】

前記多数のスイッチ回路は、有機EL素子の電荷をリセットするリセットスイッチあるいは黒レベルの書き込みのためのプリチャージスイッチであり、前記第2のD/A変換回路は、各前記第1のD/A変換回路より1ビット多い変換回路であって、この LSBが“1”に設定され、この LSBより上の桁に前記表示データあるいは前記表示データの値と同じ値のデータの前記D/A変換ータが設定される請求項14記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項16】

各前記第1のD/A変換回路の変換と前記第2のD/A変換回路の変換は、クロックに同期して行われ、前記第2のD/A変換回路に与えられる前記データは、前記1クロックの周期の途中において増加あるいは減少されることで前記2回の比較が行われる請求項15記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項17】

前記第2のD/A変換回路に与えられる前記D/A変換データは、前記1クロックの1/2の周期ずれたタイミングで前記第1のD/A変換回路の1 LSBの変換値が増加あるいは減少される請求項16記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項18】

さらに、前記ICの外部に設けられ前記コンパレータの比較結果を受けて前記駆動電流の適否を判定する適否判定装置を有し、前記適否判定装置は、クロックに応じてHIGHレベルとLOWレベルとが交互に発生する前記比較結果を得て、それがいくつ発生しているかを判定するものである請求項12記載の有機EL駆動回路の駆動電流の適否検査方法。

【請求項19】

前記適否判定装置は、前記比較結果のHIGHレベルとLOWレベルの数が同数でかつあるいはインクリメントした数に対応するときに駆動電流が適正と判定する請求項12記載の有機EL駆動回路の駆動電流の適否検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機EL駆動回路およびこの駆動回路の駆動電流の適否検査方法に関し、詳しくは、D/A変換回路によりデジタル値をアナログ値に変換して有機ELパネルの端子ピンに送出する駆動電流を生成する有機EL駆動回路（ドライバIC）において、このドライバICの出力ピンから各端子ピンに出力されるそれぞれの駆動電流値が適正か否かを効率的に検査することができるような有機EL駆動回路に関する。

【背景技術】

【0002】

携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でもパッシブマトリックス型のものでも端子ピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

さらに、このカレントミラーの出力回路の前段にD/A変換回路を設けて、このD/A変換回路がカラム側の端子ピン対応に表示データを受けてこの表示データを端子ピン対応にD/A変換して各端子ピン対応に駆動電流を生成する回路が、例えば、出願人による特開2003-308043号、特開2003-308044号等に示されている。

#### 【0003】

ところで、マトリックス状に配置した有機EL素子を電流駆動し、かつ、有機EL素子の陽極と陰極をグランドに落としてリセットする有機EL素子の駆動回路が公知である（特許文献1）。また、DC-DCコンバータを用いて有機EL素子を低消費電力で電流駆動する技術が公知である。

【特許文献1】特開平9-232074号公報

【特許文献2】特開2001-143867号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【0004】

有機ELパネルの端子ピン数の増加は、カラムドライバICにおいて各端子ピンに出力されるそれぞれの駆動電流値が適正か否かを検査する検査時間を増加させる。しかも、端子ピン数の増加により、カラムライン側では複数のカラムドライバICが必要となる。例えば、QVGAのフルカラーではR, G, B各120ピンの360ピンとなるので、現在ところ3ドライバは必要とされている。そのため、検査するカラムドライバICの数も増加する傾向にある。

その上、D/A変換回路によりデジタル値の表示データをアナログ値に変換して駆動電流を発生するカラムドライバICは、表示データの“0”～最大値（オールビット“1”）までの駆動電流値が正常に発生するか否かを検査しなければならない。そのため、カラムドライバICの検査工程での検査時間が増加する。これがカラムドライバIC製造のスループットを低下させる。

この発明の目的は、このような従来技術の問題点を解決するものであり、ドライバICの出力ピンから各端子ピンに出力されるそれぞれの駆動電流値が適正か否かを効率的に検査することができる有機EL駆動回路あるいはこの駆動回路の駆動電流の適否検査方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0005】

このような目的を達成するためのこの発明の有機EL駆動回路あるいはこの駆動回路の駆動電流の適否検査方法の特徴は、有機ELパネルを電流駆動するための駆動電流を前記有機ELパネルの多数の端子ピンに対応するそれぞれの出力ピンに発生する有機EL駆動回路において、

前記出力ピン対応にそれぞれ設けられ表示データをD/A変換して第1のアナログ電流を生成する多数の第1のD/A変換回路と、

前記出力ピン対応にそれぞれ設けられそれぞれの前記第1のアナログ電流を直接あるいはこの第1のアナログ電流を前記出力ピン対応にそれぞれ設けられた出力段電流源を介した前記駆動電流としてそれぞれ受けける多数のスイッチ回路と、

前記第1のD/A変換回路の LSB に対してさらにこれより高い分解能の LSB を有し、前記表示データに対応するデータをD/A変換して比較基準となる第2のアナログ電流を発生する第2のD/A変換回路と、前記スイッチ回路を介して得られる前記第1のアナログ電流の電流値あるいは前記駆動電流の電流値と、前記第2のアナログ電流の電流値あるいはこの第2のアナログ電流を前記出力段電流源と同様な電流源を介して得られる電流値とを比較するコンパレータと、

多数の前記スイッチ回路の1つを順次ONにする制御回路とを備え、前記コンパレータの比較結果をこの有機EL駆動回路の外部に出力するものである。

#### 【発明の効果】

#### 【0006】

このように、この発明は、出力ピン対応に設けられた多数のスイッチ回路を介して第1のアナログ電流あるいはこの第1のアナログ電流を出力段電流源を介して駆動電流を得て、得た電流の電流値を有機EL駆動回路の内部のコンパレータでそれに対応する基準となる第2のアナログ電流の電流値（比較基準電流値）あるいはこの第2のアナログ電流を出力段電流源に相当する電流源を介して得られる電流の電流値（比較基準電流値）と比較してその結果をこの有機EL駆動回路の外部に出力するようにしている。

そして、多数のスイッチ回路の1つを順次制御回路によってONにすることで、出力ピン対応に順次駆動電流を得て、これらの駆動電流の電流値についての比較結果を有機EL駆動回路から連続的に得るものである。

さらに、この発明では、比較基準電流値を発生するデータを第1のD/A変換回路の表示データに対応させ、かつ、例えは、それに1ビット下位ビットを加えて高い分解能のLSBのデータとして第2のD/A変換回路に与えて、あるいは第2のアナログ電流の電流値に第1のD/A変換回路の LSBに対応する変換電流値よりも小さい電流値の電流を加えてコンパレータに対する比較基準電流値を得て、ピン対応の駆動電流に対応して比較基準となる電流を生成する。これにより、表示データの値に応じてドライバICの各端子ピンに出力されるそれぞれの駆動電流値が適正か否かを容易にかつ短時間で検査することができる。

その結果、カラムドライバICの検査工程での検査時間を短くでき、カラムドライバIC製造のスループットを向上させることができる。

#### 【発明を実施するための最良の形態】

##### 【0007】

図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバを中心とするブロック図、図2は、その駆動電流値判定回路の判定動作のタイミングチャート、そして、図3は、駆動電流判定回路の比較電流の変化の説明図である。

図1において、10は、有機EL表示装置の有機EL駆動回路としてのカラムドライバIC（以下カラムドライバ）である。

カラムドライバ10は、基準電流発生回路1と、基準電流調整回路2、基準電流分配回路3、D/A変換回路（D/A）4、そしてD/A4から駆動電流を受ける出力段電流源5とからなり、D/A4と出力段電流源5とは出力ピンX1～Xmに対応に設けられ、これらの出力ピンは、有機ELパネルの端子ピンに対応して接続される。

##### 【0008】

基準電流発生回路1は、基準電流Irefを基準電流調整回路2へ送出する。基準電流調整回路2は、IC製造工程においてレーザトリミングによりあるいは内蔵されたD/A変換回路にデータ設定することにより基準電流Irefを調整して基準駆動電流Irを生成して基準電流分配回路3に送出する。この基準電流調整回路2は、例えは、R, G, B対応に設けられていて、ここで、R, G, B対応に基準電流Irefが調整されあるいは製品ごとに基準電流Irefに対してR, G, Bの基準駆動電流のバランスが調整され、R, G, Bに対応して基準駆動電流Irが生成される。なお、以下では、このようなR, G, Bの区別なしに説明する。

11は、カラムドライバ10の外部に設けられているクロック発生回路、12は、各出力ピンに発生する駆動電流値の適否の判定を行うためにカラムドライバ10の外部に設けられている駆動電流の検査処理用のMPU（適否判定装置）である。

なお、クロック発生回路11は、デューティ比50%のクロックCLK（図2（a）参照）を発生してカラムドライバ10とMPU12とに送出する。

カラムドライバ10において、SW1, … SWm-1, SWmは、カラム側の出力ピンX1～Xmにそれぞれ接続されたリセットスイッチであり、リセットスイッチSW1, … SWm-1, SWmをリセット期間にONにして有機EL素子を定電圧VZRでリセットする。定電圧VZRはツェナーダイオードDZRの端子電圧である。

##### 【0009】

この実施例では、これらリセットスイッチSW1, … SWm-1, SWmを利用して出力ピ

ンX1～X<sub>m</sub>に出力される駆動電流を順次選択して順次適正か否か判定する駆動電流値判定回路8がカラムドライバ10の内部に設けられている。

この駆動電流値判定回路8は、表示データレジスタ80と、コンパレータ(COM)81、シフトレジスタ82、D/A83、切換スイッチ84、インバータ85、そして前記の出力段電流源5とは別に設けられた同じ構成の電流源として出力段電流源5aとを有している。

#### 【0010】

共通端子7は、リセットスイッチSW1, … SW<sub>m</sub>-1, SW<sub>m</sub>の各1端子が共通に接続された端子であり、切換スイッチ84は、1端子がこの共通端子7に接続され、切換えられる2端子が定電圧VZRを発生する定電圧ダイオードDZRの端子とコンパレータ81の(+)入力端子にそれぞれ接続されている。カラムドライバ10の検査時には、共通端子7がコンパレータ81の(+)入力側に切換えられる。定電圧ダイオードDZRは、図示するように、ここではICの外付けとなっている。

86は、カラムドライバ10を検査状態に設定する切換を行うためのテスト端子である。87は検査結果を得る検出端子、88はシフトロック入力端子、89は、クロック発生回路11からのクロックCLKが入力されるクロック入力端子、そして90は、表示データレジスタ6と表示データレジスタ80の値をリセットするリセット端子、91は、“1”ビットデータ入力端子である。

共通端子7は、通常は、定電圧ダイオードDZRを介してグランドGNDに接続されている。そして、テスト端子86にHighレベル(以下“H”)のテスト信号TS(“H”)が入力されたときに、共通端子7は、電流値を比較するコンパレータ81の(+)入力端子側に切換えられる。

#### 【0011】

シフトレジスタ82は、リセットスイッチSW1, … SW<sub>m</sub>-1, SW<sub>m</sub>の1つを順次ONするための切換回路であって、その各段の出力が各リセットスイッチのON/OFF制御信号として各リセットスイッチに対応に出力される。

テスト端子86に入力された“H”的テスト信号TS(“H”有意)は、MPU12からシフトレジスタ82と各表示データレジスタ6および表示データレジスタ80に加えられる。シフトレジスタ82は、テスト端子86に入力された“H”的信号でイネーブルとなり、シフトロック入力端子88を介して外部に設けられたシフトロックCLに応じてシフト動作をする。なお、シフトロックCLは、MPU12からシフトロック入力端子88に供給される。

D/A83は、D/A4の LSB の分解能よりも1桁分(1ビット分)、分解能が高い、0.5 LSB の分解能を持つ変換回路である。ここで、例えば、D/A4を8ビットコンバータとすれば、D/A83は、9ビットコンバータであって、D/A4のLSBに対してさらに下位ビットが1ビット追加されたコンバータとなっている。このD/A83は、LSBにあらかじめ“1”が固定値としてセットされている。表示データレジスタ80の8ビットの表示データは、LSBの桁を除いたD/A83の残りの8桁にセットされる。D/A83の変換アナログ電流は、これに対応して設けられた出力段電流源5aに送出される。

一方、表示データレジスタ6の8ビットの表示データは、D/A4の全桁にセットされる。D/A4の変換アナログ電流は、これに対応して設けられた出力段電流源5に送出される。

#### 【0012】

表示データレジスタ80は、表示データレジスタ6と同じレジスタであって、D/A83に対応して設けられ、表示データレジスタ6と同じ表示データがデータとして記憶されるレジスタである。

各表示データレジスタ6および表示データレジスタ80にセットされる8ビットオール“0”的8ビットの表示データは、テスト端子86に入力された“H”的テスト信号TSを受けたときにインクリメントされる。このとき、表示データレジスタ6は、クロック入

力端子88から入力されるクロックC L K (図2 (a) 参照)に応じて表示データをインクリメントし、表示データレジスタ80は、インバータ85を介して反転したクロックC L K (図2 (b) 参照)に応じて表示データをインクリメントする。これにより、D/A 83のL S Bを除いた上位8ビットのデータがインクリメントされることになる。一方、D/A 83のL S Bは、“1”に固定されている。

その結果、反転したクロックC L Kを受ける表示データレジスタ80の表示データがインクリメントされるタイミングは、表示データレジスタ6の表示データに対して半周期ずれる。

#### 【0013】

コンパレータ81は、各D/A 4側からの駆動電流値を得て、D/A 83側からの駆動電流値に相当する電流値を比較基準電流値として得てこれら電流値を比較する。すなわち、コンパレータ81は、各D/A 4の変換により生成され各出力段電流源5を通して得られる駆動電流の電流値がD/A 83の変換により生成され出力段電流源5aを通して得られる駆動電流(基準電流)の電流値よりも大きいか、小さいかを判定する。具体的には、コンパレータ81は、出力ビンX1～Xmに出力される駆動電流の1つを(+)入力端子4aに受け、(-)入力端子にD/A 83からの電流を出力段電流源5を介して受ける。コンパレータ81は、各D/A 4の変換により生成される各出力段電流源5を介して得られる駆動電流の電流値がD/A 83の変換により生成される出力段電流源5aを介して得られる駆動電流(基準電流)の電流値よりも大きいときに“H”を出力端子に発生して、その出力を検出端子87に出力する。そうでないときには、Lowレベル(以下“L”)を検出端子87に出力する。

#### 【0014】

基準電流分配回路3は、カレントミラー回路で構成され、入力側のPチャネルMOSFETトランジスタTr<sub>a</sub>と、これとカレントミラー接続されるPチャネルMOSFETトランジスタTr<sub>b</sub>～Tr<sub>n</sub>とを有している。トランジスタTr<sub>b</sub>～Tr<sub>n</sub>は、そのソースが電源ライン+V<sub>cc</sub>(= +3 V)に接続され、そのドレインがD/A 4, 4…に接続されている。それぞれのトランジスタのドレインからの出力電流は、このD/A 4の基準駆動電流とされる。トランジスタTr<sub>a</sub>のソースは、電源ライン+V<sub>cc</sub>に接続され、ドレインは、基準電流調整回路2の出力に接続されている。

ところで、各D/A 4は、有機EL表示装置としての動作状態では、MPU12ではない他のMPU(図示せず)から各ピンに対応に設けられた表示データレジスタ6を介して表示データを受けて基準駆動電流を表示データ値分増幅してそのときどきの表示輝度に応じた、出力段電流源5に対する駆動電流を生成する。生成されたそれぞれの駆動電流は、それぞれに出力段電流源5に送出されて出力段電流源5がそれぞれに駆動される。

各出力段電流源5は、一对のトランジスタからなるカレントミラー回路で構成され、各D/A 4から表示データに対応する駆動電流を受けてカラム側の出力ビンX1～Xmに駆動電流iを送出してそれに有機ELパネル(各有機EL素子の陽極)の端子ピンに出力する。

なお、出力段電流源5の電力は、+5.5 V程度の電源ライン(図示せず)から得る。

#### 【0015】

以下、有機EL駆動回路の駆動電流の適否検査を行う駆動電流値判定回路8の判定動作について、図2のタイミングチャートを参照して説明する。

MPU12は、クロックC L Kに同期させてリセット端子90にリセット信号R S(図2(c))を入力して表示データレジスタ6と表示データレジスタ80の値をリセットする。そして、シフトレジスタ82に“1”を入力する。この“1”がシフトレジスタ82の初段にセットされる(図2(d))。これにより初段の出力が“1”になり、これを受けてスイッチSW1がONとなる。他の段の出力は“0”であるのでスイッチSW2～SWmはOFFしている。その結果、出力ビンX1の出力電流がスイッチSW1を介してコンパレータ81の(+)入力端子に供給される。一方、D/A 83は、表示データレジスタ80にセットされた表示データ値を変換してそのアナログ電流値の出力電流を発生してそ

の電流で出力段電流源 $5\text{a}$ を駆動し、これにより発生した電流がコンパレータ $81$ の(ー)入力端子側に供給される。

MPU12は、カラムドライバ $10$ を検査状態に設定する切換を行うためにテスト端子 $86$ にテスト信号 $TS$ (“H”)を出力し、検査を開始する(図2(e))。これにより、表示データレジスタ $6$ の8ビットの表示データと表示データレジスタ $80$ の8ビットの表示データは、それぞれクロック $CLK$ に応じて順次インクリメントされていく。

#### 【0016】

その結果、表示データレジスタ $6$ と表示データレジスタ $80$ の各8ビットの表示データは、クロック発生回路 $11$ のクロック $CLK$ に応じてその値が“0”から順次インクリメントされ、その結果変換された電流に応じた各出力段電流源 $5$ からの駆動電流が出力段電流源 $5\text{a}$ からの基準駆動電流とコンパレータ $81$ により比較される。その比較状態を示すのが図3(a)である。そして、そのときの検出端子 $87$ の出力を示したのが図3(b)である。

コンパレータ $81$ の比較動作は、表示データが“0”から最大で8ビットオール“1”になるまで行われる。

なお、表示データレジスタ $6$ と表示データレジスタ $80$ の値のリセットは、8ビットオール“0”をセットすることであり、セットと8ビットオール“1”的インクリメントは、それぞれのデータをセットすることに相当する。すなわち、この場合、レジスタに対する表示データのセットは、表示データレジスタ $6$ と表示データレジスタ $80$ の“0”リセットと表示データレジスタ $6$ と表示データレジスタ $80$ のインクリメントによりなされる。リセットすることは、MPU12からオールビット“0”的表示データを各表示データレジスタ $6$ と表示データレジスタ $80$ にセットすることと同じであり、インクリメントすることは、MPU12から“1”からオールビット“1”までの表示データを各表示データレジスタ $6$ と表示データレジスタ $80$ にセットすることと同じである。

なお、表示データがオールビット“1”にリセットされる場合には、その8ビットは、デクリメントされ、表示データがオールビット“0”にリセットされる場合には、その8ビットは、インクリメントされる。

#### 【0017】

図3(a)に示すように、各D/A4側は、各クロック $CLK$ に対応して実線で示すような駆動電流値を出力段電流源 $5$ に発生する。一方、D/A83側にセットされる9ビットデータのうちのLSBが“1”に固定されているので、各クロック $CLK$ に対応して点線で示すような駆動電流値を出力段電流源 $5\text{a}$ に発生する。このとき、D/A83側の表示データレジスタ $80$ の8ビットの表示データは、デューティ50%のクロック $CLK$ を反転したクロックでその表示データがインクリメントされるので、インクリメントされるタイミングがD/A4側の表示データレジスタ $6$ の8ビットの表示データに対して $1/2$ 周期ずれる。これによりD/A4側の出力段電流源 $5$ で生成する駆動電流値に対してD/A83側の出力段電流源 $5\text{a}$ で生成する駆動電流値が $1/2$ 周期ずれる。しかも、D/A83側のアナログ変換電流値は、 $0.5\text{ LSB}$ 分だけ大きい。

その結果、図3(a)に示すように、D/A4側で生成する駆動電流値とD/A83側で生成する電流の電流値とが $1/2$ 周期ずれて、この状態でコンパレータ $81$ は、それぞれの電流値を比較する(図3(a))。この比較は、D/A4側の駆動電流値の各クロック $CLK$ の $1/2$ 周期のところでD/A83側が8ビットの表示データが $1\text{ LSB}$ 分増加し、これにより変換電流値が増加する比較となる。これにより、クロック $CLK$ の1周期ごとにD/A4側の駆動電流がこれの $1/2$ 周期のところで $1\text{ LSB}$ の変換電流値に相当する分増加し、比較基準電流値が変化して2回の比較が行われる。

#### 【0018】

比較基準側の電流の電流値が反転したクロック $CLK$ に応じて表示データが順次インクリメントされるので、図示するように、クロック周期におけるD/A4側のある駆動電流の電流値に対して比較基準側の電流値がクロック $CLK$ の前半では $0.5\text{ LSB}$ 分減少し、クロック $CLK$ の後半では $0.5\text{ LSB}$ 分増加しての $0.5\text{ LSB}$ 分の差を持つ前後の

値での比較になる。

その結果、D/A 4側の駆動電流の順次増加する電流値に対してクロックCLKの1周期ごとにその前後の電流値を基準として2度の比較検出が行われて、“H”，“L”交互の検出出力が検出端子87から得られる。

これら駆動電流の電流値が比較された結果、コンパレータ81は、検出端子87に図2(f)のような“H”と“L”とがクロックCLKに同期して交互に発生する検出出力を得ることができる。

8ビットオール“0”から最大で8ビットオール“1”までの表示データが各表示データレジスタ6, 80に設定されたときに、“H”と“L”とが交互に発生すれば出力ピンX1の出力電流の値がクロックCLKに応じて順次増加する前後の基準電流値の間に入る事になるので、出力ピンX1の出力電流は適正となる。そうでないときには不良品として不合格になる。

このような検出端子87の出力は、MPU12に送出されてMPU12において、クロックCLKに応じて“H”と“L”とが交互に発生し、かつ、いくつ発生しているかの判定が行われる。適正な数、例えば、“H”と“L”的数が同数であるとき、かつ／あるいは、これらがインクリメントした数に対応するときに駆動電流が適正とされる。

#### 【0019】

MPU12は、クロックCLKをクロック発生回路11から受けて8ビットオール“1”までインクリメントした数のクロックCLKが発生した後に、テスト信号TSが“L”となり、出力端子X1の検査が終了する(図2(e))。

次に、MPU12は、シフトレジスタ82に入力されたデータ“1”を次段にシフトするシフトクロックCL(図2(g))をシフトクロック入力端子88にクロックCLKに同期させて送出して、シフトレジスタ82の初段にセットされた“1”を次段にシフトする。これによりシフトレジスタ82の初段が“0”となりこれを受けたスイッチSW1がOFFして次段の“1”的出力を受けたスイッチSW2がONとなり、出力ピンX2の出力電流がスイッチSW2を介してコンパレータ81の(+)入力側に供給される。他の段の出力は“0”であるのでスイッチSW3～SWmはOFFしている。

MPU12は、リセット端子90にリセット信号(図2(c))を入力して表示データレジスタ6と表示データレジスタ80の値をリセットする。そして前記と同様に、テスト状態に切換るためにテスト端子86にテスト信号TS(“H”)を出力して次の検査を開始する(図2(e))。その結果、出力ピンX2の出力電流が適正か否かを示す、図2(f)のような“H”と“L”とが交互に発生する出力信号を検出端子87に得ることができる。

このようにして、カラムドライバ10の各出力ピンX1～Xmの駆動電流の正常、異常を連続的にかつ高速に、確実に検査することができる。

#### 【0020】

ところで、図1の実施例では、各出力ピンX1～Xmへ出力する駆動電流は、これらに対応して設けられた出力段電流源5から出力している。

一方、アクティブマトリックス型の有機ELパネルの駆動回路では、駆動電流値が小さくなり、その多くは、電流シンクの出力を発生する。そこで、各D/A4に対応して設けられたそれぞれの出力段電流源5を設ける必要がない。そこで、この出力段電流源5を削除してD/A4を出力段として使用し、その出力電流をそのまま駆動電流として用いられることが多い。この場合には、D/A4側とD/A83側のそれぞれの出力段電流源5, 5aは削除され、D/A4とD/A83のアナログ変換電流がコンパレータ81で直接比較されることになる。

#### 【0021】

さて、この実施例は、MPU12から出力する表示データに換えて各表示データレジスタ6と表示データレジスタ80の表示データとを1/2周期ずらせてリセットした後にインクリメントしている。しかし、これらの表示データは、MPU12から出力するようにしてもよい。また、表示データをインクリメントするタイミングをずらせる周期は、1/

2に限定されるものではない。さらに、この発明は、リセット後にM P U 1 2から最大値（オールビット“1”）を各表示データレジスタ6と表示データレジスタ8 0に設定して、この値をクロックCLKに応じてデクリメントするものであってもよい。

#### 【0022】

また、実施例では、D/A 8 3側の表示データを、デューティ50%のクロックCLKを反転して1/2周期ずらせている。これにより、D/A 4側の変換電流に対してD/A 8 3側の変換電流を1/2周期ずらせて発生させ、クロックCLK 1周期において1 LSB分の変換電流値を増加させることで、D/A 4側の出力電流値に対して前後の比較基準電流値を発生させて、2度の比較検出をしている。しかし、この発明は、D/A 8 3側の表示データを1/2周期ずらせて比較検出することは必須ではなく、2度の検出も必須ではない。すなわち、D/A 8 3側の表示データをD/A 4の表示データに対して1クロックCLKの途中で1 LSBの変換電流値分ずらせるには、D/A 8 3の表示データを1クロックの途中で1 LSBの変換電流値分増加あるいは減少させれば済む。このように、比較基準となるD/A 8 3の変換電流値がD/A 4の変換電流値に対して前後の値を探れば、D/A 4の変換電流に対して2度の比較検出が可能となり、しかも、D/A 8 3の変換電流値を1 LSB分増加させることにより、D/A 4の変換電流値に対して上下の電流値を基準値とするので、検出結果の信頼性を高くできる。2クロック分の間D/A 4側の出力電流値を同じものとして、これに対して1 LSBの変換電流値分の差となる比較基準電流値をクロックCLKに応じて発生させることもできる。

#### 【0023】

また、有機EL駆動回路においては、通常、D/A 4の表示データは、水平方向1ライン分同時にセットするように設計されているので、前記の実施例では、それに合わせて各表示レジスタ6のデータを同じ値に同時に設定する条件で説明している。しかし、この発明は、各表示データレジスタに表示データを設定する場合に、コンパレータ8 1により比較対象とされるそのときどきの表示データレジスタ6と表示データレジスタ8 0だけに同じ表示データを設定するようにしてもよい。D/A 8 3は、D/A 4より1ビット多い、9ビットのコンバータとし、そのLSBが“1”に固定されている。そこで、表示データレジスタ8 0をnビットのレジスタとしてこれのLSBを、0.5 LSBの分解能に対応させて“1”に設定することができる。この場合には、表示データレジスタ8 0のnビットをnビットのD/A 8 3に設定することになる。

#### 【0024】

さらに、0.5 LSBの分解能の電流値を発生する電流源8 3 a（図1の点線参照）をD/A 8 3と並列に設けて、D/A 8 3の変換電流値に0.5 LSB分の変換電流値を加算して0.5 LSB分のオフセットを持たせて比較基準側の電流値とすることができます。この場合には、D/A 8 3は、D/A 4と同じ8ビットのD/Aコンバータを使用することができる。そこで、D/A 4の1つをD/A 8 3として使用することも可能になる。

さらに、実施例の基準電流発生側のD/A 8 3は、D/A 4か、これより分解能が高い電流が生成できるものであればよく、そのビット数の差は1ビットに限定されない。

なお、前記ではD/A 8 3の変換電流値に0.5 LSB分の電流源8 3 aの電流を加算しているが、これは減算してもよい。

またさらに、実施例では、出力段電流源5 a、表示データレジスタ8 0、コンパレータ8 1、シフトレジスタ8 2等は、動作をしているが、テスト信号を受けていないときにこれらを停止するようにしてもよい。この場合には、図2(e)のテスト信号TSを図2(c)のリセット信号RSより手前のタイミングで発生させるとよい。

#### 【産業上の利用可能性】

#### 【0025】

以上説明してきたが、実施例は、リセットスイッチSW 1, … SW<sub>m-1</sub>, SW<sub>m</sub>を利用して各出力ピンX1～X<sub>m</sub>の駆動電流の正常、異常の判定結果を外部へと送出して検査しているが、この発明は、検査のためにリセットスイッチSW 1, … SW<sub>m-1</sub>, SW<sub>m</sub>とは別に、同様なスイッチを設けてもよい。この場合には、切換スイッチ8 4は不要になる。

ところで、アクティブ型の有機ELパネルの駆動回路では、リセットに相当するものとして黒レベルの書き込みの電圧を各ピクセル回路のコンデンサに設定する。そのために、切換スイッチ84の端子が定電圧ダイオードDZRではなく、点線で示すように電源ライン+Vccあるいはこれから一定電圧低い電圧ラインに接続される。この場合には、リセットスイッチSW1, … SWm-1, SWmは、黒レベルの書き込みのために定電圧リセットをするプリチャージスイッチSW1, … SWm-1, SWmとなる。この場合は、前記したように、ピクセル回路のコンデンサの電圧値を書込む出力段電流源5は、通常、電流シンク型である。

なお、この明細書および特許請求の範囲における出力電流には、電流吐き出しの出力電流ばかりでなく、電流シンクの駆動電流も含まれるものである。

また、テスト信号を受けていないときには出力段電流源5aは、停止するようにしてもよい。

#### 【図面の簡単な説明】

##### 【0026】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバを中心とするブロック図である。

【図2】図2は、その駆動電流値判定回路の判定動作のタイミングチャートである。

【図3】図3は、駆動電流判定回路の比較電流の変化の説明図である。

#### 【符号の説明】

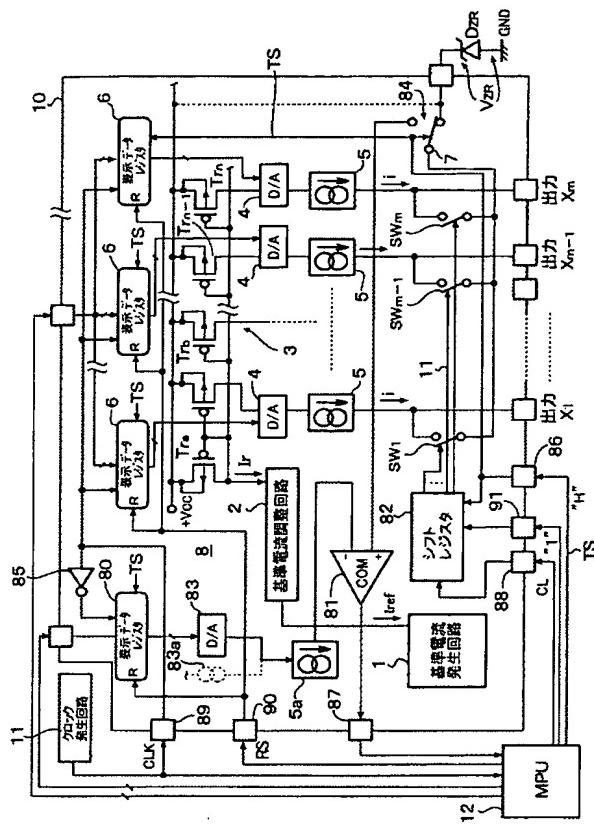
##### 【0027】

- 1…基準電流発生回路、
- 2…基準電流調整回路、
- 3…カレントミラー回路、
- 4, 83…D/A変換回路(D/A)、
- 5…出力段電流源、
- 6, 80…表示レジスタ、7…共通端子、
- 8…駆動電流値判定回路、10…カラムICドライバ、
- 11…クロック発生回路、12…MPU、
- 81…コンパレータ(COM)、82…シフトレジスタ、
- 84…切換スイッチ、85…インバータ、
- 86…テスト端子、87…検出端子、
- 88…シフトクロック入力端子、89…クロック出力端子、
- 90…リセット端子、91…ビットデータ入力端子、
- X1～Xm…出力ピン、
- Trp～Trq, Tra～Trn…トランジスタ、
- SW1～SWm…スイッチ。

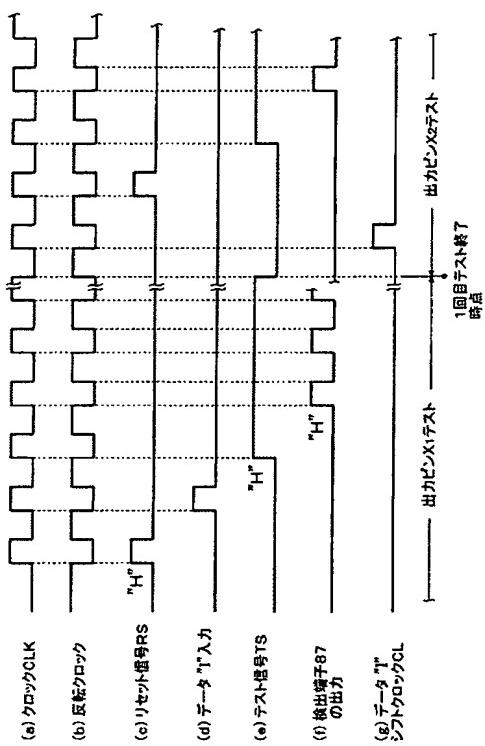
(13)

特開2005-62836(P2005-62836A)

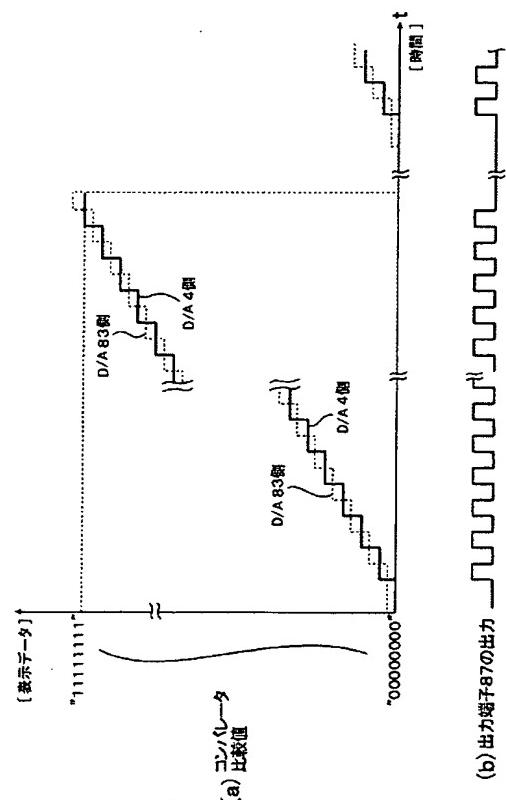
【図1】



【図2】



【図3】



( 1 4 )

特開2005-62836(P2005-62836A)

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 05 B 33/14

A

(72)発明者 藤川 昭夫

京都市右京区西院溝崎町21番地 ローム株式会社内

F ターム(参考) 3K007 AB18 BA06 DB03 FA00 GA00

5C080 AA06 BB05 DD15 DD25 FF11 JJ02 JJ03 JJ04

【要約の続き】

【選択図】 図1